



## [12] 发明专利申请公开说明书

[21] 申请号 03110202.6

[43] 公开日 2003 年 10 月 15 日

[11] 公开号 CN 1449062A

[22] 申请日 2003.4.4 [21] 申请号 03110202.6

[30] 优先权

[32] 2002.4.4 [33] US [31] 10/116507

[71] 申请人 惠普公司

地址 美国加利福尼亚州

[72] 发明人 H·李 D·M·拉扎洛夫

[74] 专利代理机构 中国专利代理(香港)有限公司

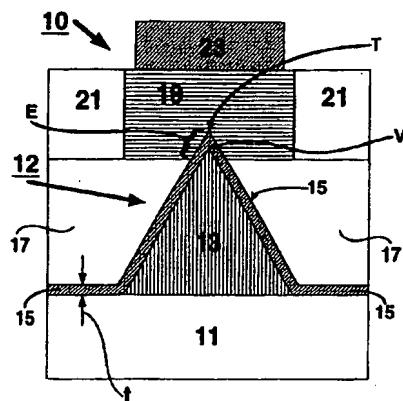
代理人 肖春京

权利要求书 3 页 说明书 11 页 附图 13 页

[54] 发明名称 用于相变介质存储装置的低热耗小接触面积复合电极

## [57] 摘要

本发明公开了一种用于相变介质存储装置(10)的低热耗小接触面积电极结构。存储装置包括复合电极(12)，其包括介电芯棒(13)，介电芯棒与基底(11)连接并具有在顶点(V)终止的锥形形状。导电材料(15)均匀地覆盖介电芯棒并终止于尖端(T)。第一介电层(17)覆盖除了与尖端(T)相邻的复合电极的露出部分(E)之外的所有复合电极。相变介质(19)与露出部分(E)接触。露出部分只是复合电极的整个表面面积的一小部分，使得露出部分和相变介质(19)之间的接触印迹( $A_c$ )相对于相变介质的表面面积( $A_M$ )是很小，从而减小了从相变介质传递到复合电极的焦耳热( $j_h$ )。



ISSN 1008-4274

1. 一种用于相变介质存储装置 (10) 的低热耗小接触面积电极结构, 包括:
  - 基底 (11);
  - 5 复合电极 (12), 其包括介电芯棒 (13) 和导电材料 (15), 介电芯棒 (13) 与基底 (11) 连接且具有在顶点 (V) 终止的锥形形状, 导电材料 (15) 均匀地覆盖介电芯棒 (13) 并在尖端 (T) 终止;
  - 第一介电层 (17), 其覆盖除了与尖端 (T) 相邻的复合电极 (12) 的露出部分 (E) 的所有部分;
  - 10 相变介质 (19), 其与第一介电层 (17) 和露出部分 (E) 连接;
  - 第二介电层 (21), 其与第一介电层 (17) 和相变介质 (19) 连接; 和
  - 电极 (23), 其与相变介质 (19) 接触。
2. 根据权利要求 1 所述的低热耗小接触面积电极结构, 其中, 电极 (23) 与相变介质 (19) 和第二介电层 (21) 连接。
3. 根据权利要求 1 所述的低热耗小接触面积电极结构, 其中, 复合电极 (12) 具有从由金字塔形、截头金字塔形、圆锥形和截头圆锥形组成的组中选择的形状。
4. 根据权利要求 1 所述的低热耗小接触面积电极结构, 其中, 复合电极 (12) 和电极 (23) 是从分别是行导体和列导体以及分别是列导体和行导体的组中选择的导体。
5. 根据权利要求 1 所述的低热耗小接触面积电极结构, 其中, 介电芯棒 (13) 包括与基底连接的介电层 (13a)。
6. 根据权利要求 5 所述的低热耗小接触面积电极结构, 其中, 介电层 (13a) 是从由玻璃、包含一层设于其上的氧化硅的硅基底和有氧化表面的硅基底组成的组中选择的材料。
7. 根据权利要求 1 所述的低热耗小接触面积电极结构, 其中, 第一介电层 (17) 是从由氧化硅、原硅酸四乙酯、硼硅酸盐玻璃、磷硅酸盐玻璃和硼磷硅酸盐玻璃组成的组中选择的材料。
- 30 8. 根据权利要求 1 所述的低热耗小接触面积电极结构, 其中, 第二介电层 (21) 是从由氧化硅和氮化硅组成的组中选择的材料。
9. 根据权利要求 1 所述的低热耗小接触面积电极结构, 其中, 导

电材料 (15) 是从由金属、铝、钨、钼、钛和铜组成的组中选择的材料。

10. 根据权利要求 1 所述的低热耗小接触面积电极结构，其中，电极 (23) 是从由金属、铝、钨、钼、钛和铜组成的组中选择的导电材料。

11. 一种制造用于相变介质存储装置 10 的低热耗小接触面积电极结构的方法，包括：

在介电层 (13a) 上淀积掩模层；

图形化掩模层，然后腐蚀掩模层以形成芯棒掩模 (31)；

10 用腐蚀气体干腐蚀介电层 (13a) 和芯棒掩模 (31)，腐蚀气体包括用于腐蚀介电层 (13a) 的第一腐蚀气体和用于腐蚀芯棒掩模 (31) 的第二腐蚀气体；

持续干腐蚀直到芯棒掩模 (31) 完全溶解，并且直到介电层 (13a) 包括具有在顶点 (V) 终止的锥形形状的介电芯棒 (13)；

15 在介电芯棒 (13) 上均匀淀积导电材料 (15) 以形成复合电极 (12)，复合电极 (12) 包括与介电芯棒 (13) 相配的形状并在尖端 (T) 终止；

在复合电极 (12) 上淀积第一介电层 (17) 直到第一介电层 (17) 完全覆盖包括尖端 (T) 的全部复合电极 (12)；

20 平面化第一介电层 (17)；

干腐蚀第一介电层 (17) 直到第一介电层 (17) 降低到复合电极 (12) 的尖端 (T) 之下预定距离，使得与尖端 (T) 相邻的复合电极 (12) 露出部分 (E) 不被第一介电层 (17) 覆盖；

在第一介电层 (17) 和露出部分 (E) 上淀积一相变介质层 (29)；

25 图形化相变介质层 (29)，然后腐蚀该相变介质层 (29) 以形成岛 (19)；

在第一介电层 (17) 和岛 (19) 上淀积第二介电层 (21)；

平面化第二介电层 (21)；

图形化第二介电层 (21)，然后腐蚀第二介电层 (21) 以形成延伸到岛 (19) 的通孔 (39)；

在第二介电层 (21) 上和通孔 (39) 中淀积导电材料 (43)，使得导电材料 (43) 与岛 (19) 接触；和

图形化导电材料(43)，然后腐蚀导电材料(43)以形成电极(23)。

12. 根据权利要求11所述的方法，其中，第一腐蚀气体包括碳氮化合物，第二腐蚀气体包括氧气。

13. 根据权利要求11所述的方法，其中，介电层(13a)是从由5 玻璃、在硅基底上淀积的一层氧化硅和硅基底的氧化表面组成的组中选择的材料。

14. 根据权利要求11所述的方法，其中，第一介电材料(17)是从由氧化硅、原硅酸四乙脂、硼硅酸盐玻璃、磷硅酸盐玻璃和硼磷硅酸盐玻璃组成的组中选择的材料。

10 15. 根据权利要求11所述的方法，其中，第二介电材料(21)是从由氧化硅和氮化硅组成的组中选择的材料。

16. 根据权利要求11所述的方法，其中，导电材料(43)是从由金属、铝、钨、钼、钛和铜组成的组中选择的材料。

17. 根据权利要求11所述的方法，其中，电极(23)是从由金属、15 铝、钨、钼、钛和铜组成的组中选择的导电材料。

18. 根据权利要求11所述的方法，还包括在淀积掩模层之前，在基底(11)上形成介电层(13a)。

19. 根据权利要求18所述的方法，其中，所述形成步骤包括在基底(11)上淀积介电层(13a)。

20 20. 根据权利要求19所述的方法，其中，基底(11)是硅，介电层(13a)是氧化硅。

21. 根据权利要求18所述的方法，其中，所述形成步骤包括通过氧化基底(11)在基底(11)上生长介电层(13a)。

22. 根据权利要求21所述的方法，其中，基底(11)是硅，介电25 层(13a)是氧化硅。

23. 根据权利要求11所述的方法，其中，平面化第一介电层17 包括从化学机械平面化过程和回流方法中选择的一种方法。

## 用于相变介质存储装置的低热耗小接触面积复合电极

## 技术领域

5 本发明总体涉及一种复合电极，其具有低热耗和与相变介质的小接触面积。本发明尤其涉及一种相变介质存储装置，其中，复合电极包括与相变介质接触的露出部分。露出部分在复合电极的整个面积中占的百分比小，使得在露出部分和相变介质之间具有小面积接触印迹，该小面积接触印迹减少了从相变介质到复合电极的传热。

## 10 背景技术

基于相变材料来存储信息的记忆存储装置被认为是传统数据存储装置，诸如硬盘和闪存（仅举几例）的替代品。在基于相变材料的存储装置中，将数据存储在相变材料的两种物理状态中的一种。

例如，在非晶状态下，相变材料可以表示二进制零“0”，可以通过在与相变材料接触的两个电极中通过电流和感测相变材料上的电压降来确定相变材料的状态。如果在非晶状态下，相变材料就有高电阻，那么，电压降就高。

20 相反，可以使电极通过足够幅度的电流而使相变材料的状态变为结晶状态，表示二进制一“1”，使得相变材料受到焦耳加热。加热使相变材料从非晶状态变为结晶状态。如上所述，相变材料上的电压降可以用于感测相变材料的状态。因而，如果在结晶状态下，相变材料有低电阻，那么，电压降就低。

表达相变材料的状态的另一方法是，在非晶状态下，相变材料有低电导率，在结晶状态下，相变材料有高电导率。

25 理论上，在非晶状态的高电阻和结晶状态的低电阻之间应当有足够的差，以允许精确地感测相变材料的状态。此外，在基于相变材料存储单元的阵列的存储装置中，一些存储单元是非晶状态而另一些是结晶状态。希望在非晶状态下的存储单元之间高电阻的变化最小，在结晶状态下的存储单元之间低电阻的变化最小。如果其中任何一个变化太大的话，就难以或不可能精确地感测相变材料的状态。

图1中，现有相变存储单元100包括第一电极103、第二电极105、电介质107以及位于电介质107中并与第一和第二电极（103, 105）

电气连通的相变材料 101。通常，电介质 107 形成围绕相变材料 101 的室。为了将相变材料 101 的状态从非晶状态 a (用垂直虚线来表示) 变为结晶状态 c (见图 2 中的虚线)，在第一和第二电极 (103, 105) 中通过电流 I。流过相变材料 101 的电流 I 使相变材料 101 因焦耳加 5 热 J 而发热。

图 2 中，因为第一和第二电极 (103, 105) 是用例如象导电金属那样具有高导热性的材料制成的，所以电流 I 产生的热 H 主要通过第一和第二电极 (103, 105) 来散热。在较小程度上，因为电介质 107 的导热性比第一和第二电极 (103, 105) 低，所以热 h' 是通过电介质 107 10 散热的。例如，电介质 107 可以是一层氧化硅 ( $SiO_2$ )。

随着热 H 流过相变材料 101，相变材料 101 的一部分进行结晶化到结晶状态 c (用水平虚线来表示)，而相变材料 101 的另一部分保持非晶状态 a。

现有相变存储单元 100 的一个缺点是：不是在焦耳加热 J 中包含 15 的所有能量都用于将相变材料 101 的状态从非晶状态 a 变为结晶状态 c。而是，焦耳加热 J 的主要部分因第一和第二电极 (103, 105) 将热从相变材料 101 传递走而浪费掉了。结果，要求更大的电流 I 以产生附加的焦耳加热 J，克服经第一和第二电极 (103, 105) 的热损耗。

因下述原因而不想增大电流 I。第一，增大电流 I 导致功耗增大，20 而希望的是减小电子电路中的功耗。第二，增大电流 I 要求更大的驱动电路以供应电流 I，更大的电路耗用了先前的电路芯片区。通常，总是希望保留电路芯片区，以便可以在电子电路中包括更多的线路。最后，在电池操作的装置中，增大电流 I 导致电池寿命缩短。随着便携式电子器件的消费者越来越多，希望减小以电池为电源的电子产品 25 的耗用电流，以便可以延长电池的寿命。

图 3 中，多个现有相变存储单元 100 配置成一个阵列以形成现有相变存储装置 111。每个存储单元 100 定位在第一和第二电极 (103, 105) 的交叉点上，多个第一和第二电极 (103, 105) 布置成以第二电极 105 为行，以第一电极 103 为列。

30 图 3 和 4 中，现有相变存储装置 111 的一个缺点是，在对用 100' 指示的所选相变存储单元的写入操作期间，电流 I 产生的热 H 的主要部分通过第一和第二电极 (103, 105) 散热并散入相邻的相变存储单

元 100。结果，在相邻存储单元 100 之间有热串扰。热串扰可以使相变存储装置 111 的切换速度减慢，并可导致在存储单元 100 之间的上述电阻变化。

现有相变存储装置 111 的另一缺点是相变材料 101 的表面有与第一 5 和第二电极 (103, 105) (只显示了第二电极 105) 的大接触区域  $C_A$ ，大接触区域  $C_A$  促进将热从相变材料 101 传递到第一和第二电极 (103, 105)。

图 3 和图 4 中，大接触区域  $C_A$  是与第一和第二电极 (103, 105) 接触的相变材料 101 的表面面积的大部分产生的，使得热  $H$  容易从相 10 变材料 101 散热到电极中。大接触区域  $C_A$  还与上述热串扰有关。此外，来自任何给定存储单元 100 的热损耗、来自相邻存储单元 100 的热串扰和接触区域  $C_A$  单独或共同起作用，可以造成存储单元 100 之间电阻的大变化。例如，如果一个存储单元 100 有因热串扰而预热的相变材料 101 而另一存储单元 100 没有预热的相变材料 101，那么，当这两个 15 单元的相变材料 101 经受焦耳加热  $J$  时，预热单元 100 的相变材料 101 结晶的百分比就会比未预热单元 100 的大。结果，可在预热和未预热单元之间有电阻变化。如上所述，不希望有电阻变化。

结果，需要一种用于相变介质存储装置的导体结构，它减小从相变介质的焦耳热传递并减小改变相变介质状态所需的电流量。需要 20 一种导体结构，它减小阵列中的相变存储单元之间的电阻变化。还需要一种导体结构，它减小热串扰并减小导体和相变介质之间接触的表面面积。

#### 发明内容

本发明的低热耗小接触面积电极结构解决了上述缺点和限制。通过 25 复合电极来解决因向电极传热而与热损耗有关的缺点，它包括与相变介质接触的露出部分。露出部分只是复合电极的整个表面面积的一小部分，所以露出部分和相变介质之间的接触印迹相对于相变介质的表面面积是小的。结果，只是小面积的相变介质与复合电极的露出部分接触，减少了因焦耳加热而向复合电极的热传递。

与用增大电流来补偿通过电极的热损耗有关的缺点也可用本发明的复合电极来解决，因为其露出部分提供相变介质中产生的热的低导热性路径。

因为对复合电极的热传递最小使得热串扰低，本发明的复合电极减小了阵列中相变介质的电阻变化。

另外，与现有相变材料及其电极之间的大接触表面面积有关的缺点是用本发明的复合发射器的露出部分与相变介质之间的接触印迹来  
5 解决的。

从下文的详细描述，结合附图，用实例方式说明本发明的原理，本发明的其它方面和优点将更明显。

#### 附图说明

图 1 是现有相变存储单元的横面图。

10 图 2 是描绘通过一对电极的焦耳热损耗的现有相变介质的横面图。

图 3 是现有相变存储装置的顶视平面图。

图 4 是写入操作期间通过现有相变存储单元的热损耗的横面图。

15 图 5A 是根据本发明用于相变介质装置的低热耗小接触面积电极结构的横面图。

图 5B 和 5C 是根据本发明分别为圆锥形和金字塔形的复合电极的顶视平面图。

图 5D 是根据本发明相变介质装置的写入操作的横面图。

图 5E 是根据本发明沿描绘接触印迹的图 5D 的线 AA 取的横面图。

20 图 5F 是根据本发明从相变介质到复合电极的热传递的横面图。

图 5G 是根据本发明的复合发射器的整个表面面积与其露出部分的表面面积之间关系的顶视平面图。

图 6 和 7 是根据本发明用于相变介质装置的低热耗小接触面积电极结构的横面图。

25 图 8A 到 8R 描绘了根据本发明制造用于相变介质装置的低热耗小接触面积电极结构的方法。

图 9 是根据本发明的相变介质存储器的顶视平面图。

图 10A、10B、11A 和 11B 是根据本发明用于复合电极的可能形状的轮廓图。

30 具体实施方式

在下文的详细描述和附图的几幅图中，相似的元件用相似的参考数字表示。

为了说明，如图所示，本发明是以用于相变介质存储装置的低热耗小接触面积电极结构和生产它的方法实现的。

用于相变介质存储装置的低热耗小接触面积电极结构包括基底和复合电极，复合电极包括介电芯棒，它与基底连接且具有以终止在顶点的锥形形状。导电材料均匀地覆盖在介电芯棒上并在尖端终止。第一介电层覆盖除了靠近尖端的复合电极的露出部分之外的全部复合电极。相变介质与第一介电层和复合电极的露出部分连接。第二介电层与第一介电层和相变介质接触。电极与相变介质接触。

露出部分只占复合电极的整个表面面积的一小部分，所以露出部分和相变介质之间的接触印迹相对于相变介质的表面面积是小的。在电极和复合电极之间通过电流，相变介质在露出部分和相变介质之间的接触印迹附近的区域中进行焦耳加热。因为复合电极和相变介质只在小部分相互接触，所以减少了从相变介质到复合电极的热传递。

复合电极和相变介质之间减小了的接触面积解决了上述现有电极结构的缺点。第一，只有一小部分的复合电极与相变介质接触。因而，减小了热损耗和热串扰。第二，因为减小了热损耗，所以也可以减小使相变介质结晶所需写入电流的幅度。第四，露出部分和相变介质之间的接触印迹解决了与现有电极接触的现有相变材料的大表面面积有关的问题。最后，减小了的热损耗和热串扰使电阻变化最小。

图 5A 中，用于相变介质存储装置 10 的低热耗小接触面积电极结构包括基底 11、复合电极 12，复合电极 12 包括与基底 11 接触的介电芯棒 13。介电芯棒 13 有在顶点 V 终止的锥形形状。即，介电芯棒 13 在底 B 宽，在顶点 V 很细（见图 8F）。复合电极 12 还包括导电材料 15，它均匀地覆盖介电芯棒 13 并在尖端 T 终止。因为导电材料 15 均匀地覆盖介电芯棒 13，所以导电材料 15 有与介电芯棒 13 的形状相配的形状。因而，复合电极 12 在基底 11 处宽，在尖端 T 处细。

第一介电层 17 完全覆盖复合电极 12，除了与尖端 T 相邻的露出部分 E。因而，导电材料 15 的表面面积的主要部分由第一介电层 17 覆盖，导电材料 15 的小部分（即，露出部分 E）不被第一介电层 17 覆盖。例如，如果导电材料 15 厚度约  $2000\text{\AA}$ ，那么露出部分 E 就可伸出第一介电层 17 约  $200\text{\AA}$  的距离。相变介质 19 与第一介电层 17 和露出部分 E 接触。第二介电层 21 与第一介电层 17 和相变介质 19 接

触。电极 23 与相变介质 19 接触。

或者，电极 23 可以与相变介质 19 和第二介电层 21 接触。图 6 中，第二介电层 21 可以在其中包括通孔 26，它伸到第一介电层 17。相变介质 19 可以定位在通孔 26 中，电极 23 也定位在通孔 26 中并与相变介质 19 和第二介电层 21 接触。图 7 中，包括第三介电层 25 的互连结构中包括通孔 28，通孔 28 伸到第二介电层 21。电极 23 定位在通孔 28 中并与相变介质 19 接触。

电极 23 和复合电极 12 可操作用来形成通过相变介质 19 的导电路径。电极 (12, 23) 可以与电流源 (未示出) 电气连通。在电极 (12, 23) 10 中通过电流在相变介质 19 内产生焦耳加热，相变介质 19 的一部分从非晶状态变为结晶状态，如下所述。

如上所述，介电芯棒 13 的锥形形状在基底 11 是宽的 B，锥化到顶点 V。复合电极 12 的形状与介电芯棒 13 的形状是相配的。图 5B 和 10A 中，复合电极 12 分开描绘以更好地说明其形状。复合电极 12 可以是包括锥形但不限于锥形的形状。图 5B 和 10A 中，复合电极 12 从宽的基底 B 到尖端 T 锥化，使得导电材料 15 有倾斜表面 S。图 5B 的顶视平面图和图 10A 的轮廓图中，导电材料 15 的整个表面面积远大于露出部分 E 的面积。

类似地，图 5C 和图 10B 中，复合电极 12 可包括金字塔形但不限于金字塔形的形状。复合电极 12 从宽的基底 B 向尖端 T 锥化，导电材料 15 有倾斜表面 S。在图 5C 的顶视平面图中，金字塔的每个侧面 (显示了 4 个) 向上向尖端 T 倾斜。如上所述，图 5C 和 10B 中，导电材料 15 的整个表面面积远大于露出部分 E 的面积。

图 5B, 5C, 10A 和 10B 的金字塔和圆锥形不须终止在尖锐的尖端 T，25 复合电极 12 可包括图 11A 中描绘的戟头圆锥的形状，但不限于此，其中复合电极 12 向戟头尖端  $T_p$  锥化。另一方面，复合电极 12 可以包括图 11B 所描绘的戟头金字塔形，但不限于此，其中，复合电极 12 向戟头尖端  $T_p$  锥化。图 5B, 5C, 10A, 10B, 11A 和 11B 中，露出部分 E 是复合电极 12 的导电材料 15 的整个表面面积的一小部分。

30 导电材料 15 和电极 23 可以用包括下面的表 1 所述材料的材料来制成，但不限于此。此外，下面的表 1 所述材料的合金也可用于导电材料 15 和电极 23。

用于导电材料 15 和电极 23 的材料
一种金属
铝 (Al)
钨 (W)
钼 (Mo)
钛 (Ti)
铜 (Cu)

表 1

第二介电层 21 和第三介电层 25 可以用下面的表 2 所述的材料制成，但不限于此。

用于第二介电层 21 和第三介电层 25 的材料
二氧化硅 ( $SiO_2$ )
氮化硅 ( $Si_3N_4$ )

表 2

5 第一介电层 17 可以用包括下面的表 3 所述的材料制成，但不限于此。

用于第一介电层 17 的材料
原硅酸四乙脂 (TEOS)
掺杂硼 (B) 的原硅酸四乙脂 (BSG)
掺杂磷 (P) 的原硅酸四乙脂 (PSG)
掺杂硼 (B) 和磷 (P) 的原硅酸四乙脂 (BPSG)
二氧化硅 ( $SiO_2$ )

表 3

介电芯棒 13 可以是与基底 11 连接的介电层 (见图 8A 中的参考数字 13a)。例如，介电层 13a 可以用诸如淀积、生长或溅射的方法与 10 基底 11 连接。例如，介电层 13a 可以是淀积在基底 11 上的一层二氧化硅 ( $SiO_2$ )。基底 11 可以是例如硅 (Si) 的半导体基底。作为另一实例，基底 11 可以是硅基底，可以通过氮化硅基底的表面以形成一层二氧化硅 ( $SiO_2$ ) 来形成介电层 13a。或者，介电层 13a 可以是淀积在基底 11 上的一层玻璃，诸如 PYREX<sup>TM</sup>。

15 图 5D 中，流经电极 (12, 23) 和相变介质 19 的写入电流  $I_w$  在相变介质 19 内产生焦耳加热。随着相变介质 19 因焦耳加热而发热，相

变介质 19 的一部分从非晶状态变到结晶状态 19'。图 5D 中, 非晶状态指示为 19, 结晶状态指示为 19'。相变介质 19 的焦耳加热发生在露出部分 E 附近的区域中。

本发明的一个优点是只将围绕露出部分 E 的相变介质 19 体积的一部分变为结晶状态 19'。处于结晶状态 19' 的相变介质 19 部分用于电极 (12, 23) 两端测得的相变介质的电阻上的一致性。结果, 因为小量相变介质 19 可以由给定幅度的写入电流  $I_v$  结晶化, 所以电阻变化最小。只结晶小量相变介质 19 的另一优点是, 因为不须在写入操作期间使整个相变介质 19 结晶, 可以减小写入电流  $I_v$  的幅度、写入电流  $I_v$  的持续时间或者电流  $I_v$  的幅度和写入电流  $I_v$  的持续时间, 所以减小了功耗。

图 5E 中, 沿图 5D 的虚线 AA 的横面图说明了导电材料 15 的露出部分 E 和相变介质 19 之间的接触印迹的面积  $A_c$ 。相变介质 19 有总的横面面积  $A_u$  (以虚线显示)。如图 5E 描绘的那样,  $A_c \ll A_u$ , 即, 接触印迹面积  $A_c$  比横面面积  $A_u$  小得多。类似地, 相变介质 19 的相变到结晶状态 19' 的部分有也小于总面积  $A_u$  的面积  $A_p$ 。因为, 焦耳热对相变介质 19 的主要效果是只加热围绕接触印迹区  $A_c$  的相对小体积的相变介质 19。

图 5F 中, 电流  $I_v$  (未示出) 产生的焦耳热主要传递到相变介质 19, 如深色的箭头  $J_h$ 。因为上述接触印迹区  $A_c$ , 只将一小部分焦耳热传递到复合电极 12 的导电材料 15 或电极 23, 如浅色虚线箭头  $j_h$  所示。也可以将一些焦耳热传递到第一和第二介电层 (17, 21), 如虚线箭头  $j'_h$  所示。

图 5G 中, 热传递到复合电极 12 的导电材料 15 的一小部分焦耳热  $j_h$  归因于具有露出区  $A_p$  的露出部分 E, 露出区  $A_p$  与相变介质 19 接触; 而具有面积为  $A_u$  的导电材料 15 的大部分 N 不与相变介质 19 直接接触。因此, 可用做用于相变介质 19 的直接热传导路径的复合电极 12 的表面面积限于露出区  $A_p$ 。

图 9, 用于本发明的相变介质存储装置 10 的多个低热耗小接触面电极结构可以布置成阵列 50, 其中, 存储装置 10 沿阵列 50 的行和列定位。图 9 中, 复合电极 12 的导电材料 15 布置成行导体, 电极 23 布置成列导体。

另一方面，复合电极 12 的导电材料 15 可以是列导体，电极 23 可以是行导体。存储装置 10 定位在电极 (15, 23) 的交叉点上，每个存储单元 10 的相变介质 19 描绘为虚线轮廓。在跨过该单元 10 的电极 (15, 23) 通过电流  $i_v$  以选择一个存储单元 10 的相变介质 19'，用于 5 进行写入操作。

用于本发明的相变介质存储装置 10 的低热耗小接触面积电极结构的另一优点是相变介质 19' 在写入操作期间进行焦耳加热，传递到复合电极 12 和电极 23 的热减少减少了阵列 50 中的相邻存储单元 10 之间的热串扰。

10 图 8A 到 8Q 中，说明了用于制造用于相变介质存储装置 10 的低热耗小接触面积电极结构的方法。

图 8A 中，介电层 13a 由基底 11 承载。在介电芯棒 13 上淀积掩模层，光刻法图形化，然后腐蚀它以形成芯棒掩模 31。介电层 13a 和基底 11 可以用上述材料制成。掩模层 31 可以是例如一层光致抗蚀剂材料。 15

图 8B 中，用腐蚀气体干腐蚀介电层 13a 和芯棒掩模 31，腐蚀气体包括用于腐蚀介电层 13a 的第一腐蚀气体和用于腐蚀芯棒掩模 31 的第二腐蚀气体。可以用等离子腐蚀气体来执行干腐蚀，第一腐蚀气体可以引入到等离子腐蚀系统中以腐蚀介电层 13a，第二腐蚀气体可以引入到等离子腐蚀系统中以腐蚀芯棒掩模 31。例如，第一腐蚀气体包括基于氯化碳 ( $CF_3$ ) 的气体，第二腐蚀气体可以包括氧气 ( $O_2$ ) 以灰化芯棒掩模 31 的光致抗蚀剂。 20

图 8C 到 8F 中，持续干腐蚀直到芯棒掩模 31 完全溶解 (即，腐蚀掉)，直到介电层 13a 包括介电芯棒 13，介电芯棒 13 具有在顶点 V 25 终止的锥形。介电芯棒 13 有宽的基底 B、倾斜表面 S 并锥化到顶点 V。

图 8G 中，导电材料 15 均匀地淀积在介电芯棒 13 上以形成复合电极 12。可以使用诸如化学汽相淀积 (CVD) 的过程来均匀淀积导电材料 15。如上所述，复合电极 12 的形状是与介电芯棒 13 补充的并在尖端 T 终止。导电材料 15 可以由包括表 1 所述材料的材料制成，但不 30 限于此。例如，均匀淀积之后，导电材料 15 可以进行图形化，然后腐蚀它以定义行导体或列导体 (见以导电材料 15 为行导体的图 9)，在阵列 50 的行或列中电连接所有复合电极 12。

图 8H 中, 第一介电层 17 淀积在复合电极 12 上直到第一介电层 17 覆盖包括尖端 T 的整个复合电极 12。第一介电层 17 可以由包括上述表 3 所述的材料的材料制成, 但不限于此。可以使用例如 CVD 的过程来淀积第一介电层 17。

5 图 8I 中, 平面化第一介电层 17 以形成大致平的面。可以使用诸如化学机械平面化 (CMP) 的过程来平面化第一介电层 17。或者, 可以使用回流方法在第一介电层 17 上形成大致平的面。对于回流过程, 第一介电层 17 可以包括含上述表 3 所述内容的硅玻璃。第一介电层 17 加热到玻璃的回流温度以上 (例如, 500°C 以上), 以将玻璃回流为  
10 平滑而大致平的面。可以用其它平面化过程来实现第一介电层 17 的平面化, 本发明不限于上述平面化过程。例如, 可以用抗蚀剂内腐蚀平面化过程来使第一介电层 17 平面化。

15 图 8J 中, 干腐蚀第一介电层 17 直到第一介电层 17 从复合电极 12 的尖端 T 退到预定距离以下, 使得第一介电层 17 不覆盖与尖端 T 相邻的露出部分 E。可以用等离子腐蚀过程来干腐蚀第一介电层 17, 该过程可定时为去除足够量的第一介电层 17, 使得露出部分 E 伸出第一介电层 17 之外, 如图 8J 所述。与尖端 T 的预定距离取决于应用。例如, 预定距离可以是从尖端 T 到第一介电层 17 约 200Å 的距离。或者, 可以在第一介电层 17 中腐蚀通孔 (未示出) 以露出尖端 T。

20 图 8K 中, 在第一介电层 17 和复合电极 12 的露出部分 E 上淀积一层相变介质 29。例如, 可以用诸如 CVD、溅射或蒸发等方法来淀积这层相变介质 29。用于这层相变介质 29 的典型材料包括锗-锑-碲材料, 诸如  $Ge_2Sb_2Te_5$ 。

25 图 8L 和 8M 中, 这层相变介质 29 图形化为 33, 然后腐蚀它以形成相变介质 19 的岛, 它定位在复合电极 12 上并与露出部分 E 接触。

图 8N 中, 第二介电层 21 淀积在第一介电层 17 和相变介质 19 的岛上。第二介电层 21 可以是包括表 2 所述材料的材料, 但不限于此。

30 图 8O 和 8P 中, 用诸如 CMP 的过程来平面化第二介电层 21。下面, 第二介电层 21 图形化为 37, 然后腐蚀它以形成通孔 39, 通孔 39 伸到相变介质 19 的岛。最好用诸如等离子腐蚀的干腐蚀过程来腐蚀第二介电层 21。

图 8Q 中，在第二介电层 21 和通孔 39 上淀积导电材料 43，使得导电材料 43 与相变介质 19 的岛接触。可以用诸如 CVD 或溅射的过程来淀积导电材料 43。

图 8P 中，图形化导电材料 43，然后腐蚀它以形成电极 23。电极 5 23 可以与相变介质 19 和第二介电层 21 接触，如图 8P 所示，所如上参考图 7 所述，电极 23 可以与相变介质 19 接触。如参考图 9 所述，可以图形化电极 23，然后腐蚀它以形成行导体或列导体（见以电极 23 为列导体的图 9），在阵列 50 的行或列中电连接所有电极 23。

淀积掩模层 31 之前，如图 8A 所述，可以在基底 11 上形成介电层 10 13a。介电层 13a 可以淀积在基底 11 上。例如，如果基底 11 是硅（Si）基底，介电层 13a 可以是淀积在基底 11 上的一层氧化硅（ $SiO_2$ ）。

相反，可以通过氧化基底 11 而在基底 11 上生长介电层 13a。例如，如果基底 11 是硅（Si）基底，那么可以通过氧化过程在基底 11 的表面上生长一层氧化硅（ $SiO_2$ ）以形成介电层 13a。

15 可以用互连结构来实现与电极 23 或复合电极 12 的导电材料 15 的电连接，这是微电子处理技术中所周知的，包括图形化和腐蚀通孔（未示出）然后淀积导电层，通孔伸到电极 23 或复合电极 12 的导电材料 15，导电层充满通孔并与电极 23 或导电材料 15 接触。

虽然已经公开和说明了本发明的几个实施例，但是本发明不限于 20 所描述和说明的具体形式或部件布置。本发明仅由权利要求书来限定。

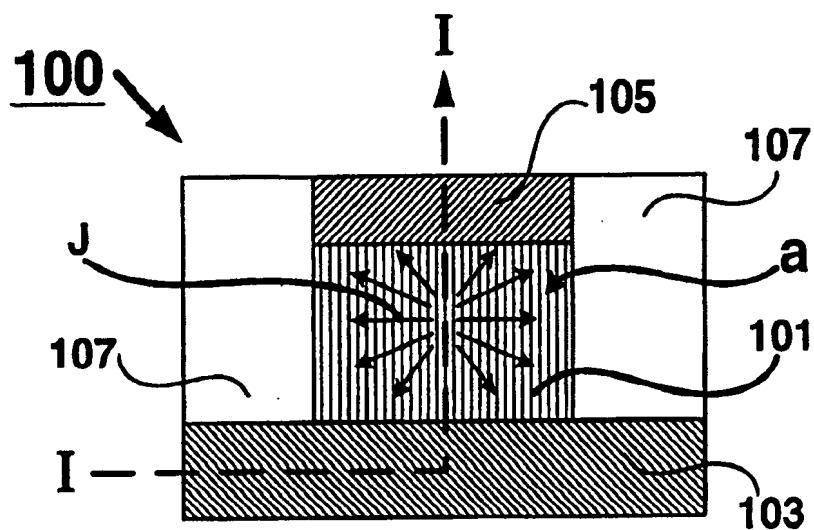


图 1(现有技术)

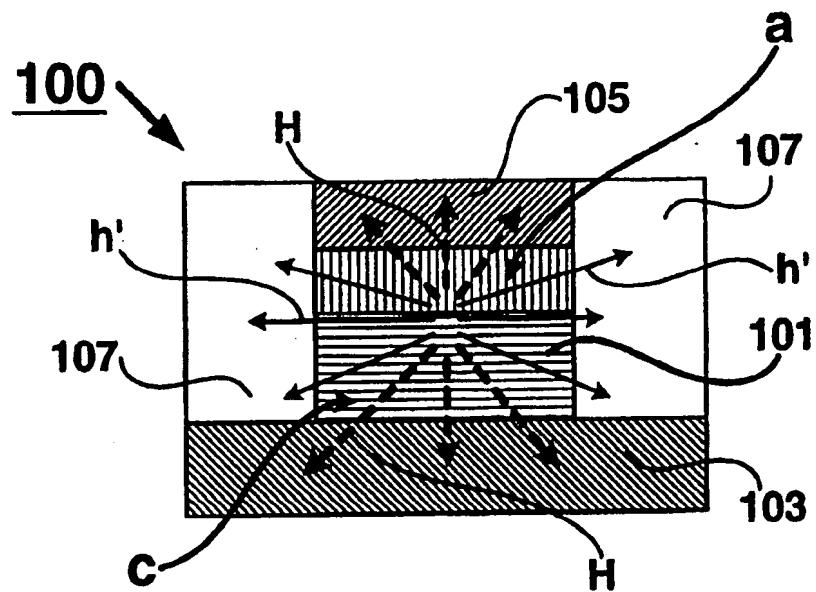
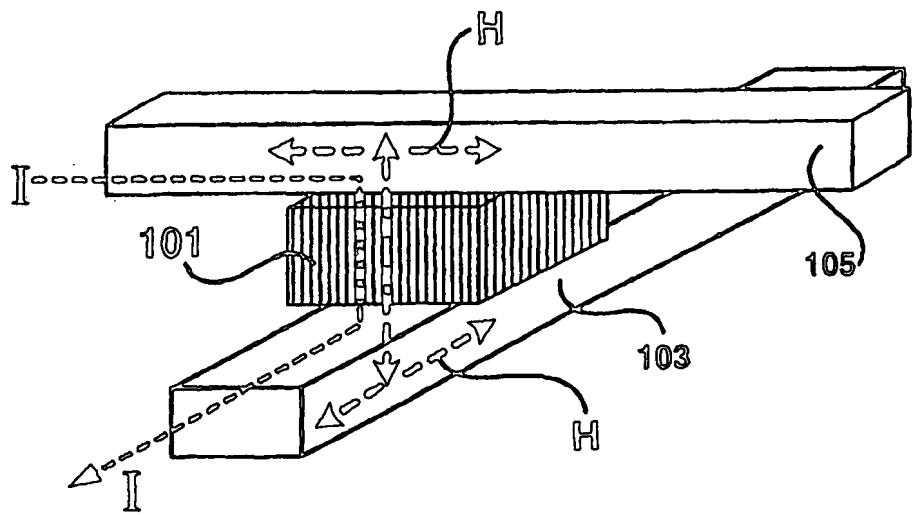
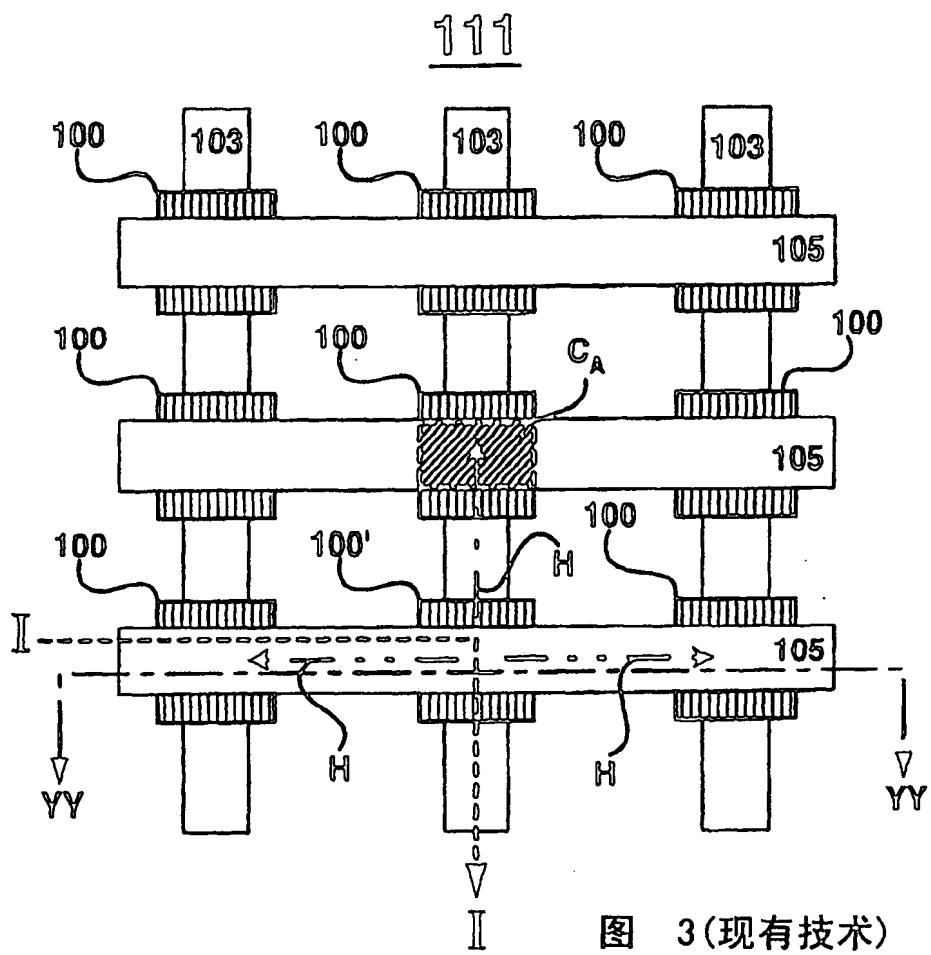


图 2(现有技术)



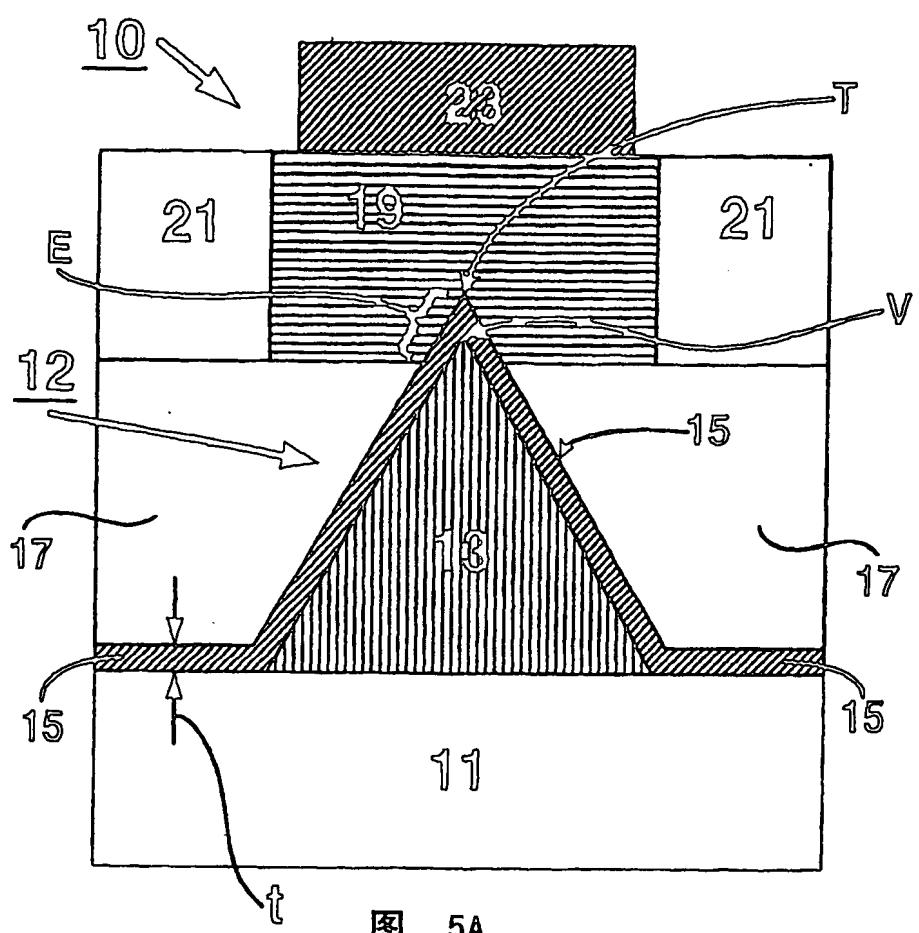


图 5A

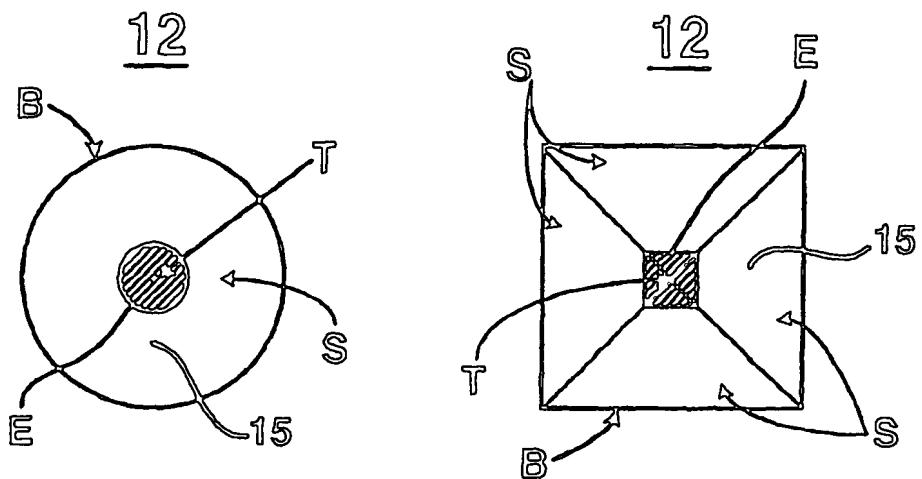


图 5B

图 5C

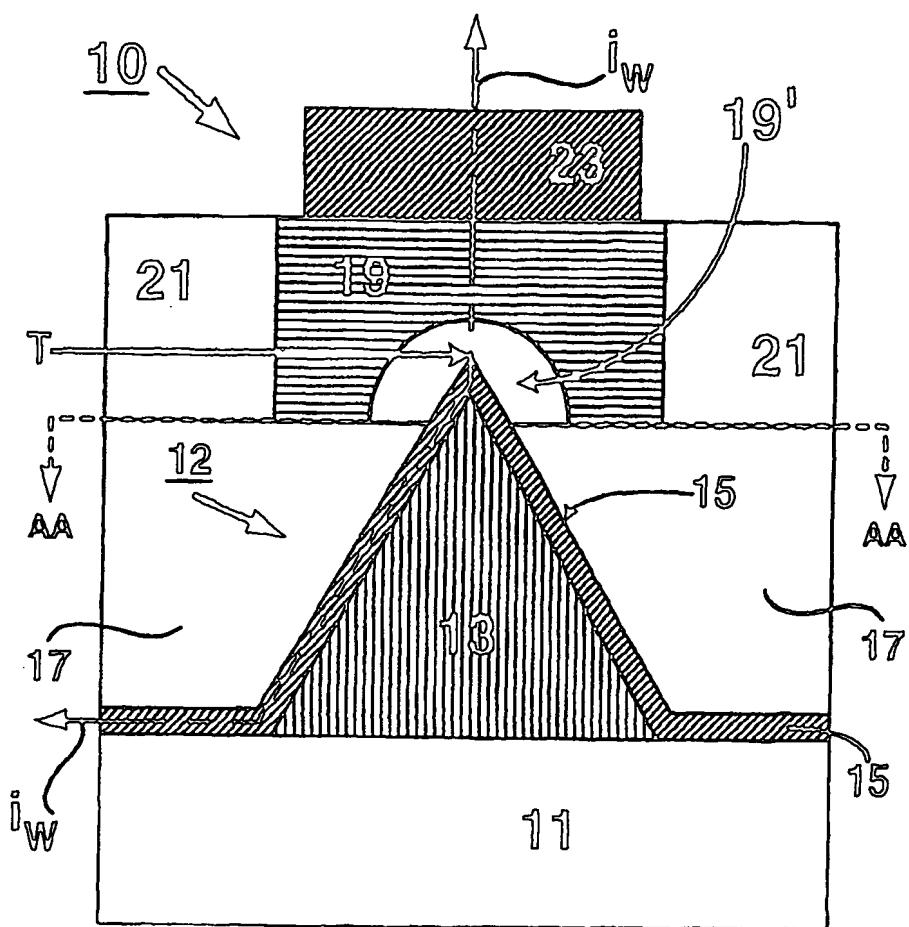


图 5D

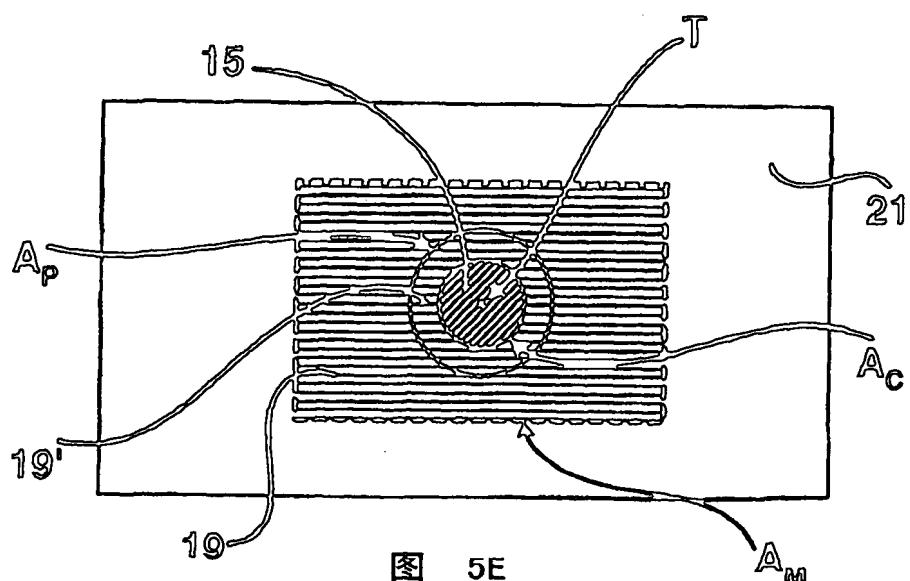


图 5E

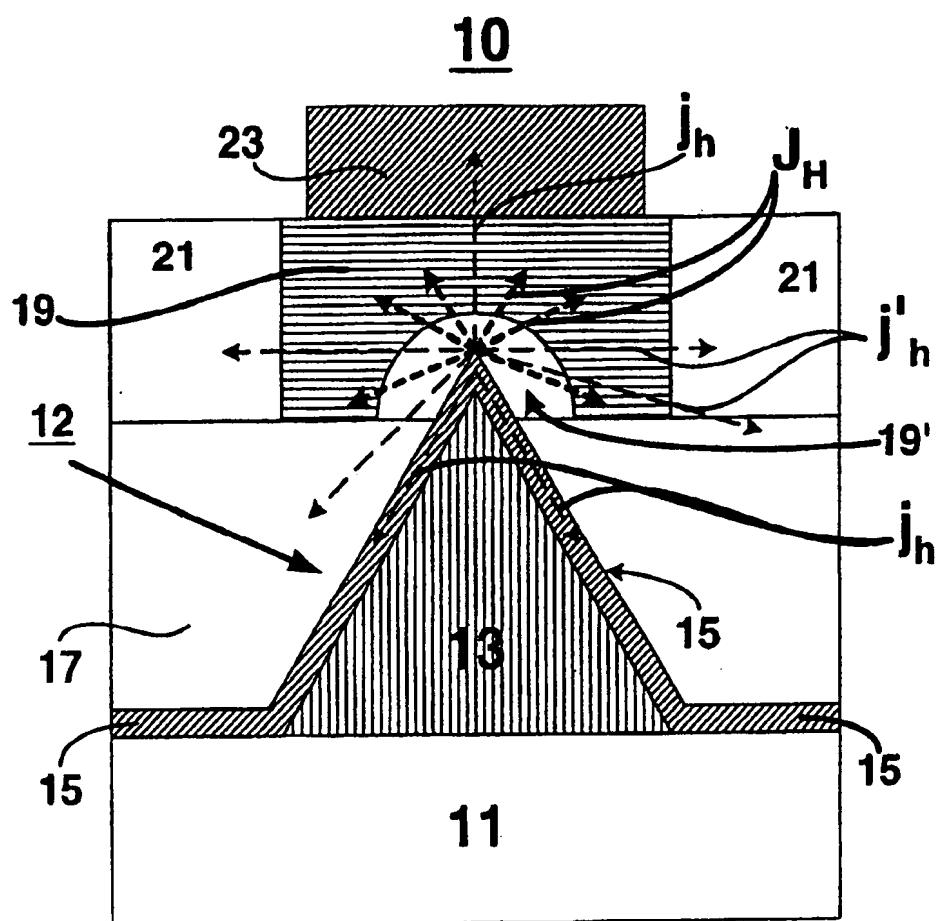


图 5F

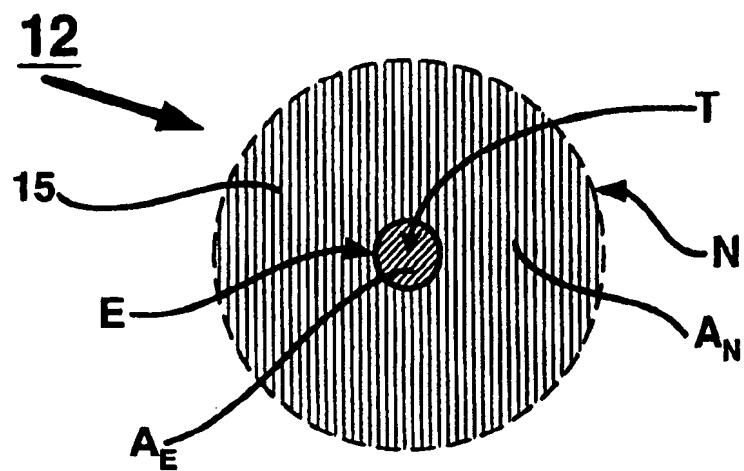


图 5G

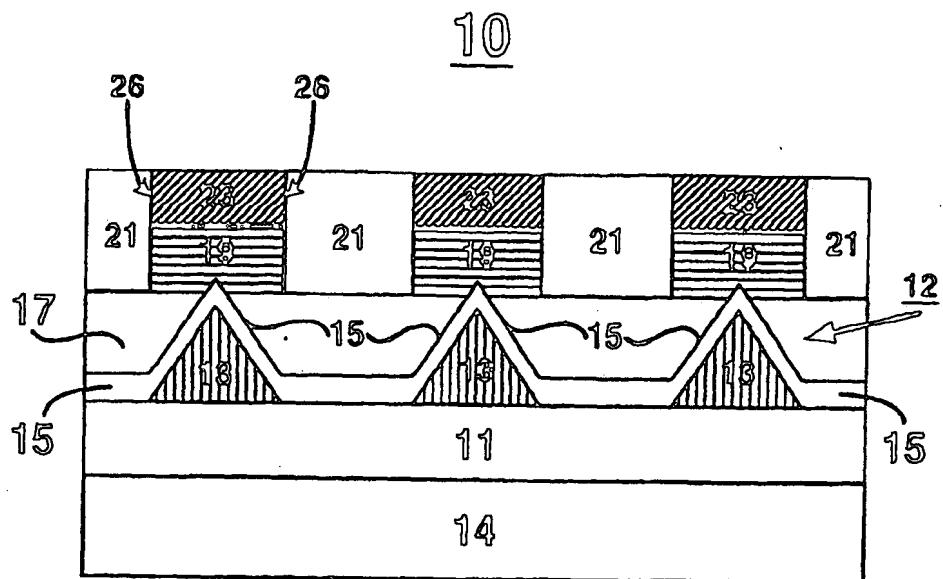


图 6

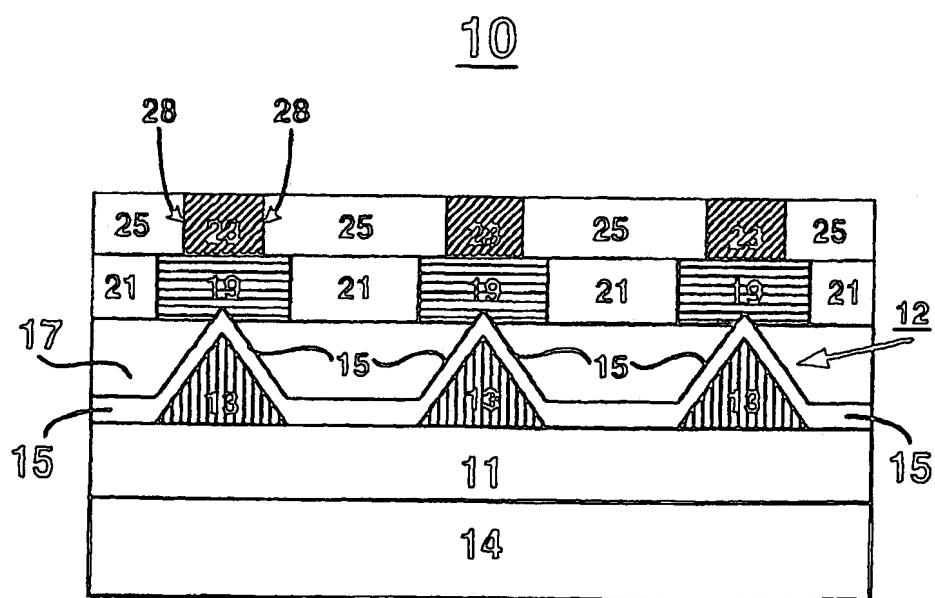


图 7

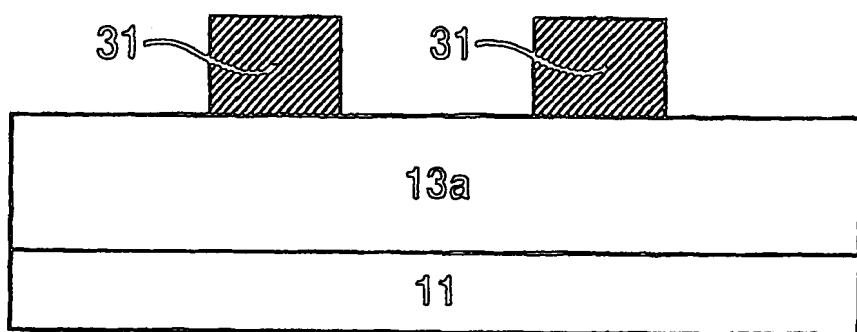


图 8A

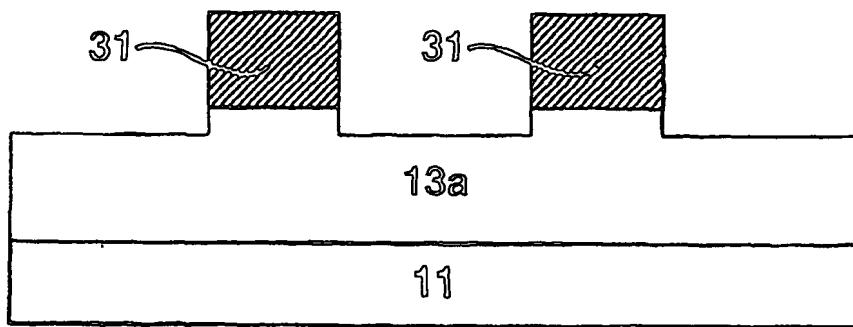


图 8B

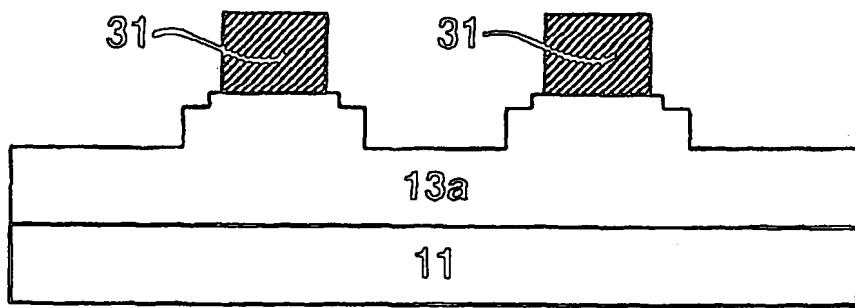


图 8C

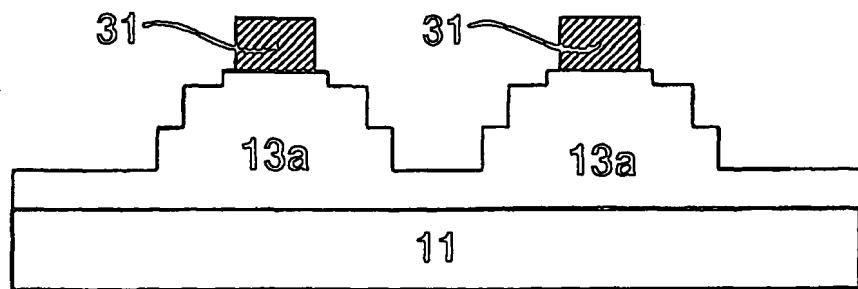


图 8D

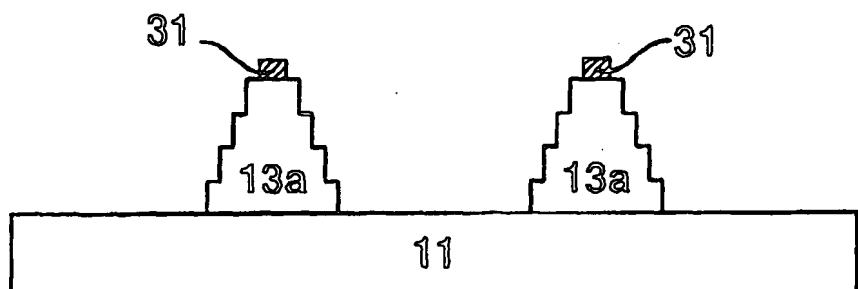


图 8E

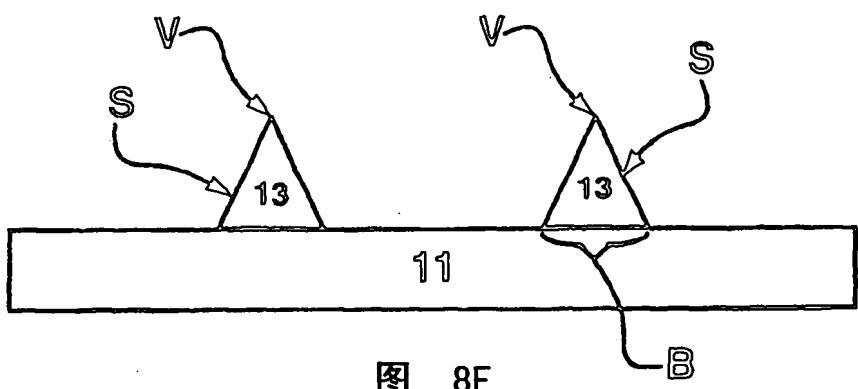


图 8F

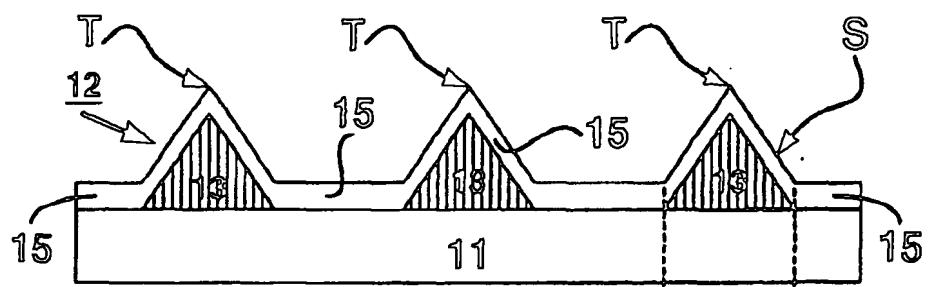


图 8G

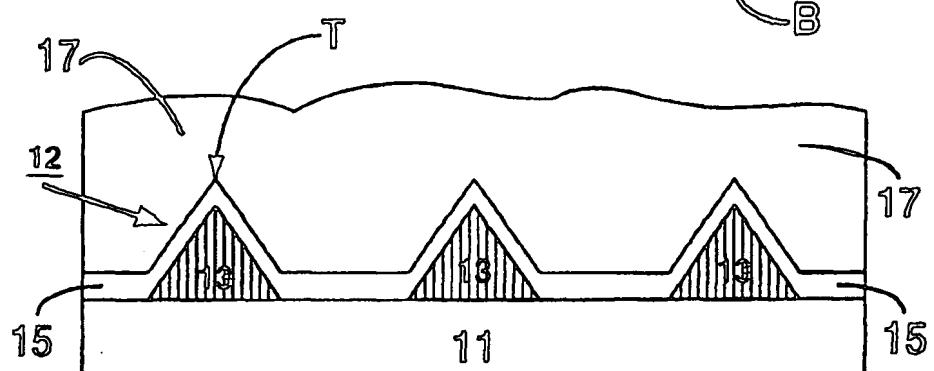


图 8H

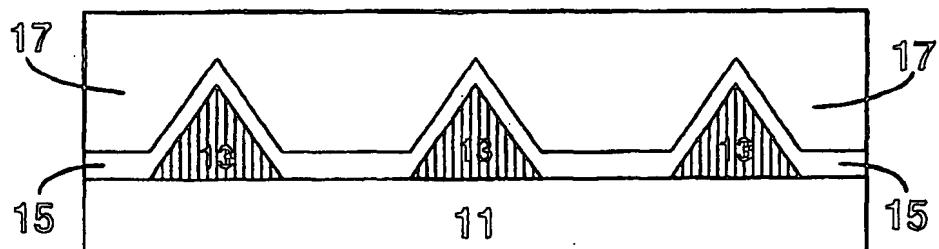


图 8I

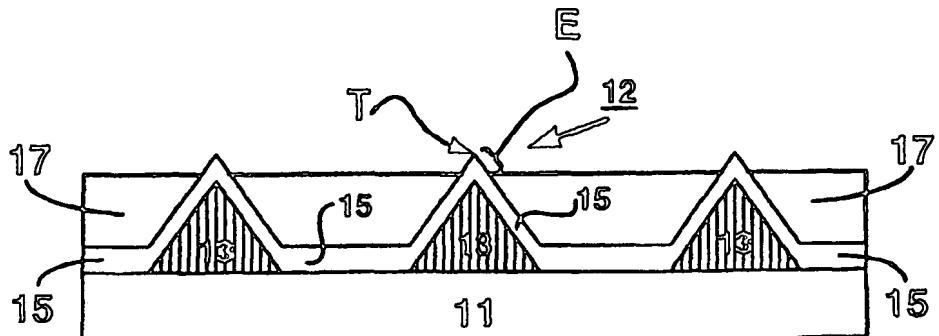


图 8J

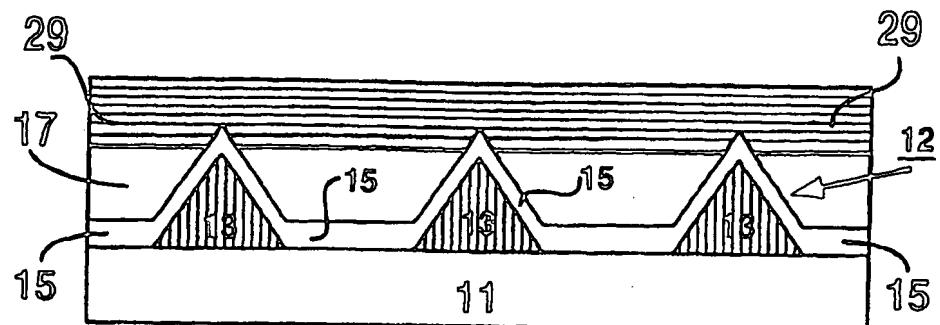


图 8K

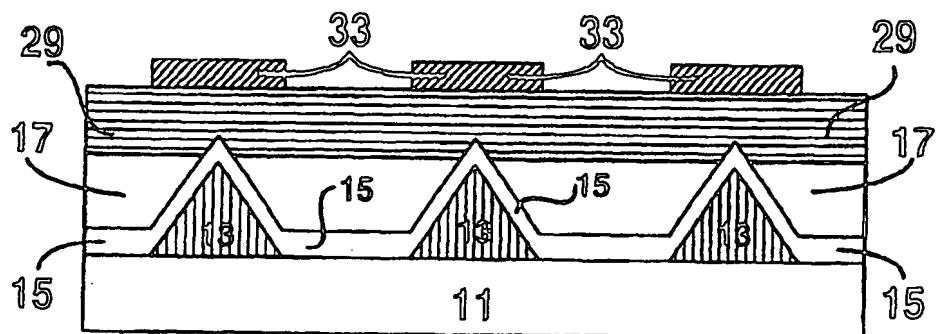


图 8L

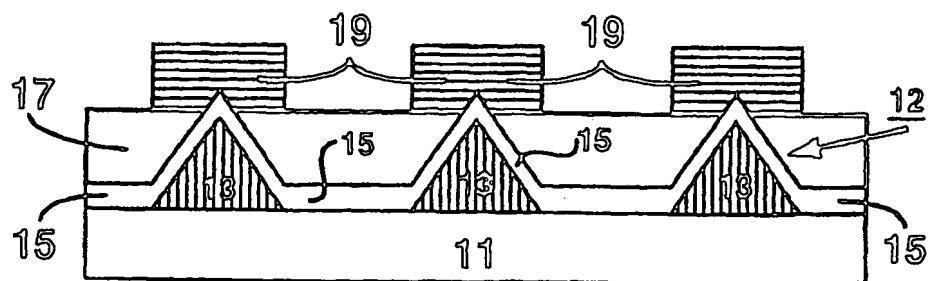


图 8M

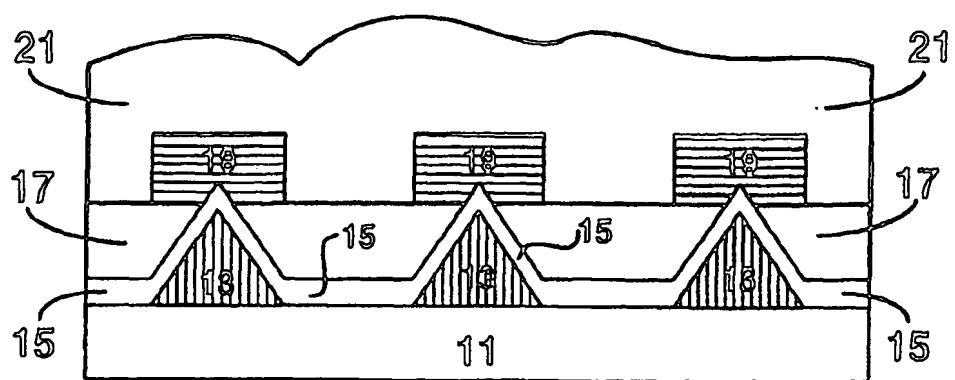


图 8N

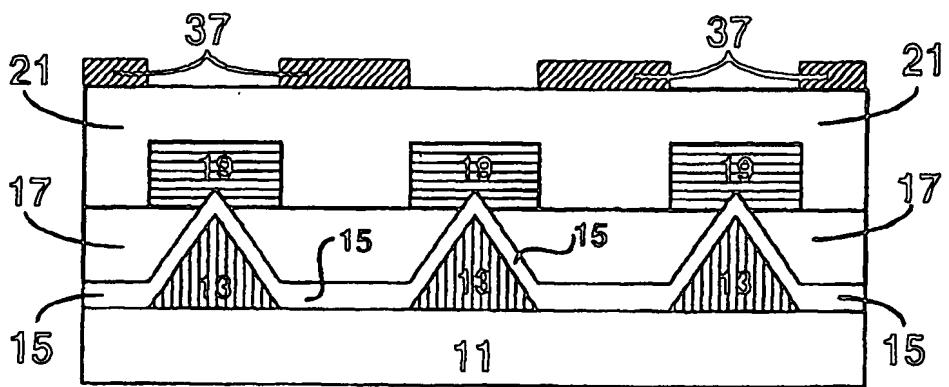


图 8O

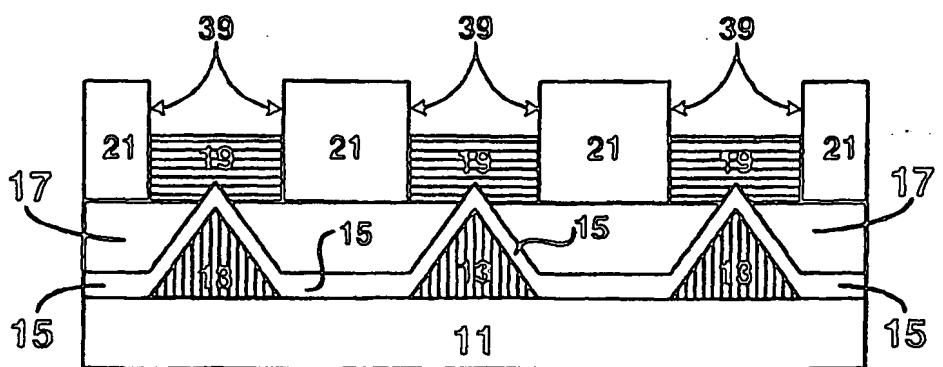


图 8P

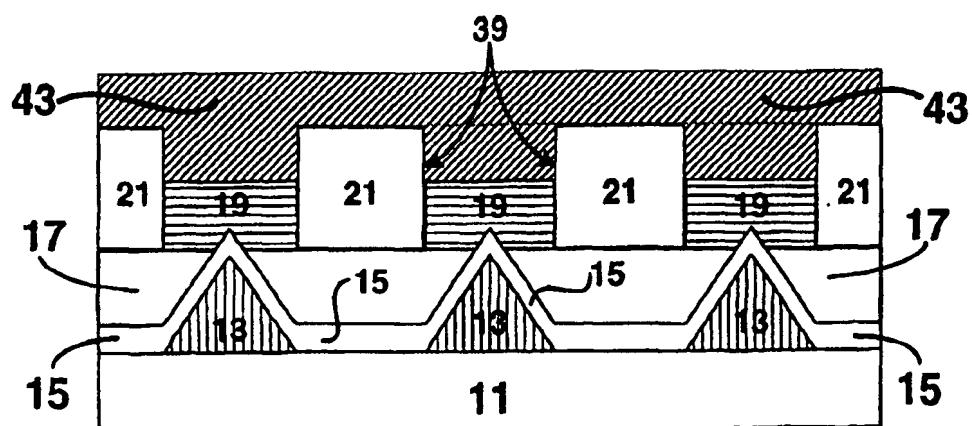


图 8Q

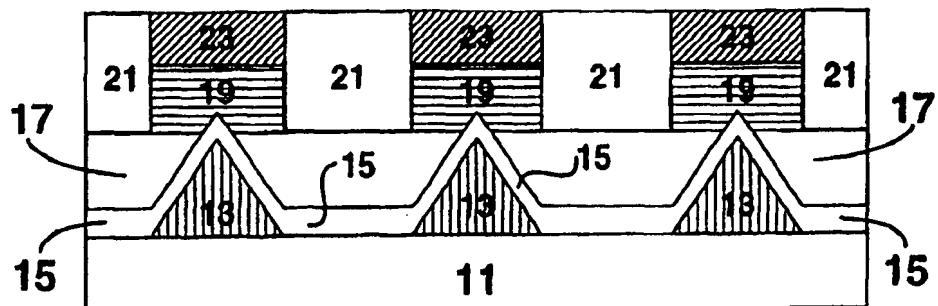


图 8R

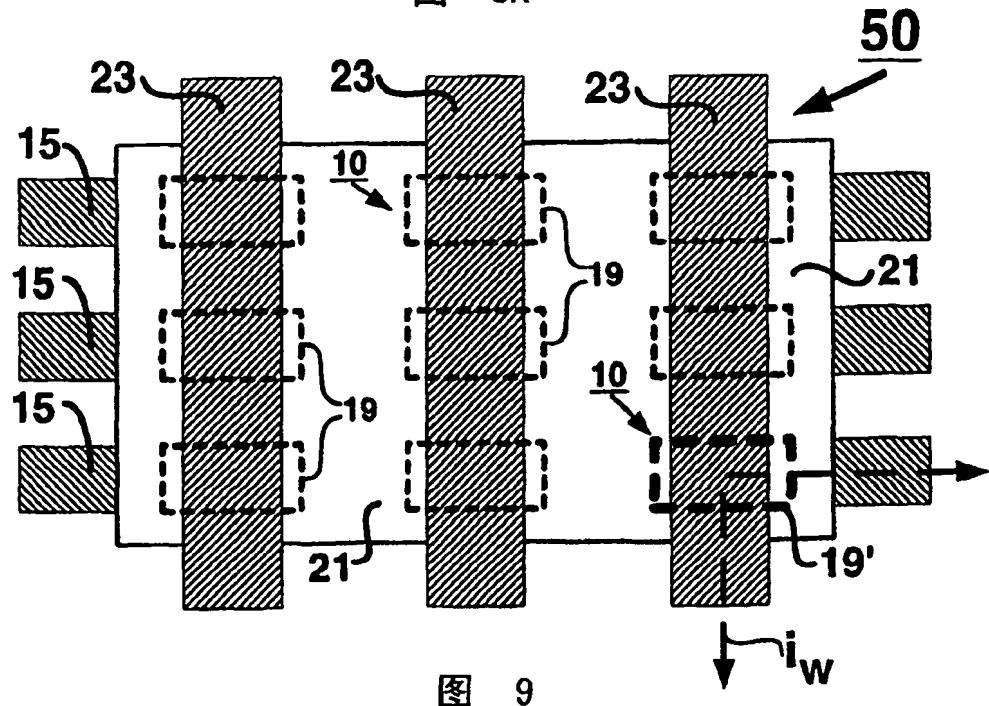


图 9

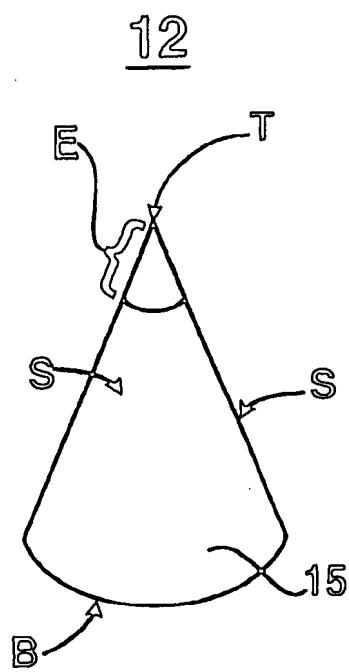


图 10A

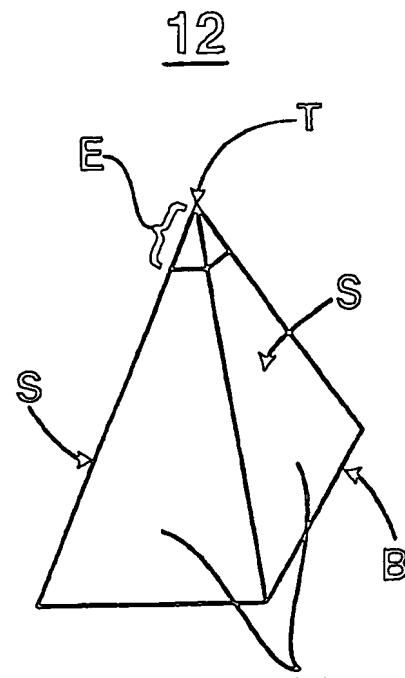


图 10B

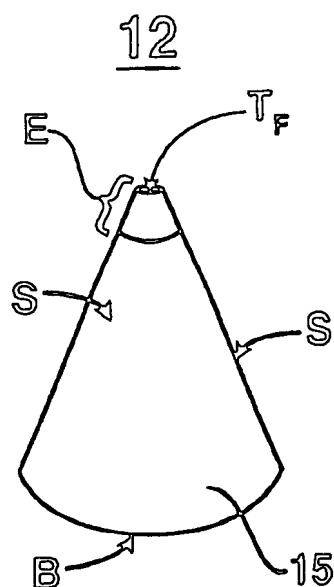


图 11A

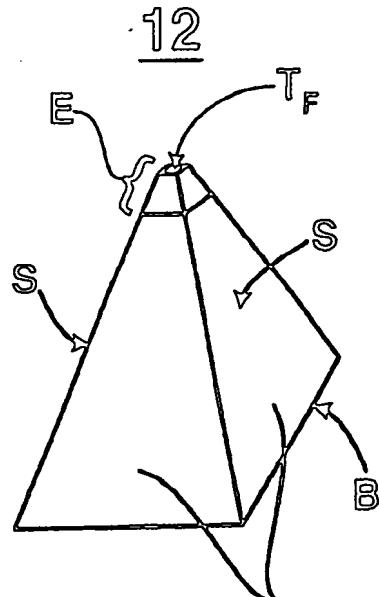


图 11B